



THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0028

Applicant: Dong Su PARK et al.

Confirmation No.: 8064

Appl. No.: 10/608,429

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: 2812

Title: METHOD FOR FORMING CAPACITOR OF SEMICONDUCTOR  
DEVICE

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

**Korean Patent Application No. 10-2002-0077493 filed December 6, 2002**

Respectfully submitted,

Date:

November 6, 2003

By

Johnny A. Kumar

Johnny A. Kumar

HELLER EHRMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0077493  
Application Number

출원 년 월 일 : 2002년 12월 06일  
Date of Application DEC 06, 2002

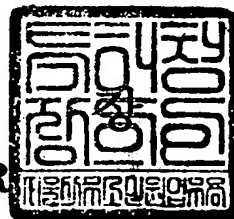
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003    05    월    22    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2002.12.06
【국제특허분류】	H01L
【발명의 명칭】	반도체소자의 캐패시터 형성방법
【발명의 영문명칭】	A method for forming a capacitor of a semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	박동수
【성명의 영문표기】	PARK, Dong Su
【주민등록번호】	720511-1783411
【우편번호】	467-020
【주소】	경기도 이천시 관고동 502-2번지 영우빌라 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	이태혁
【성명의 영문표기】	LEE, Tae Hyeok
【주민등록번호】	710607-1010025

【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 현대전자사원아파트 101-404
【국적】	KR
【발명자】	
【성명의 국문표기】	박철환
【성명의 영문표기】	PARK, Cheol Hwan
【주민등록번호】	700820-1657331
【우편번호】	142-103
【주소】	서울특별시 강북구 미아3동 218-7
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)
【수수료】	
【기본출원료】	19 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	12 항 493,000 원
【합계】	522,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통 -.

**【요약서】****【요약】**

본 발명은 반도체 소자의 캐패시터 형성방법에 관한 것으로,  
질화막으로 형성된 식각장벽층이 저장전극용 산화막의 제거공정시 손상되는 현상으로 인한 소자의 특성 열화를 방지하기 위하여,  
상기 질화막 상부에 탄탈륨산화막을 적층하고 후속공정을 실시하여 상기 저장전극용 산화막의 습식 식각공정시 상기 질화막의 손상을 방지하고 그에 따른 소자의 특성 열화를 방지함으로써 반도체소자의 특성 및 신뢰성을 향상시키고 그에 따른 반도체소자의 고집적화를 가능하게 하는 기술이다.

**【대표도】**

도 3c

## 【명세서】

## 【발명의 명칭】

반도체소자의 캐패시터 형성방법 {A method for forming a capacitor of a semiconductor device}

## 【도면의 간단한 설명】

도 1a 은 종래기술에 따라 형성된 반도체소자의 캐패시터의 문제점을 도시한 단면 사진.

도 1b 는 상기 도 1a 의 평면 구조를 개략적으로 도시한 평면도.

도 2 는 종래기술에 따라 형성된 반도체소자의 캐패시터의 문제점을 도시한 평면 사진.

도 3a 내지 도 3c 는 본 발명의 실시예에 따라 형성된 반도체소자의 캐패시터 형성방법을 도시한 단면도.

## 〈도면의 주요부분에 대한 부호의 설명〉

11 : 반도체기판      13 : 저장전극 콘택플러그

15 : 질화막      17 : 탄탈륨산화막

19 : 저장전극용 산화막      21 : 저장전극 영역

23 : 저장전극 ( 콘케이브형 또는 실린더형 )

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 반도체소자의 캐패시터 형성방법에 관한 것으로, 특히 반도체소자의 고집적화에 충분한 정전용량을 확보할 수 있는 삼차원 구조 캐패시터의 식각장벽층을 형성하는 기술에 관한 것이다.
- <11> 반도체소자가 고집적화되어 셀 크기가 감소됨에 따라 저장전극의 표면적에 비례하는 정전용량을 충분히 확보하기가 어려워지고 있다.
- <12> 특히, 단위 셀이 하나의 MOS 트랜지스터와 캐패시터로 구성되는 디램 소자는 칩에서 많은 면적을 차지하는 캐패시터의 정전용량을 크게 하면서, 면적을 줄이는 것이 디램 소자의 고집적화에 중요한 요인이 된다.
- <13> 그래서,  $(\epsilon_0 \times \epsilon_r \times A) / T$  ( 단, 상기  $\epsilon_0$  는 진공유전율, 상기  $\epsilon_r$  은 유전막의 유전율, 상기 A 는 저장전극의 면적 그리고 상기 T 는 유전막의 두께 ) 로 표시되는 캐패시터의 정전용량 C 를 증가시키기 위하여, 유전상수가 높은 물질을 유전체막으로 사용하거나, 유전체막을 얇게 형성하거나 또는 저장전극의 표면적을 증가시키는 등의 방법을 사용하였다.
- <14> 도시되지 않았으나 종래기술에 따른 콘케이브형 ( 또는 실린더형 ) 캐패시터 형성 방법을 설명하면 다음과 같다.
- <15> 먼저, 상기 반도체기판의 소자분리막, 불순물 접합영역, 워드라인, 비트라인 및 저장전극용 콘택플러그가 구비되는 층간절연막을 형성한다.

- <16> 전체표면상부에 식각장벽층인 질화막을 1000 Å 이하의 두께로 형성한다.
- <17> 상기 질화막 상부에 저장전극용 산화막을 15000 Å 이상의 두께로 형성한다.
- 이때, 상기 산화막은 BPSG, PSG 또는 TEOS 로 형성한다.
- <18> 상기 저장전극 마스크를 이용한 사진식각공정으로 저장전극으로 예정된 영역의 상기 저장전극용 산화막을 제거하여 상기 저장전극 콘택플러그가 저부에 노출되는 저장전극 영역을 정의한다.
- <19> 상기 저장전극 콘택플러그에 접속되도록 상기 저장전극 영역을 포함한 전체표면상부에 저장전극용 도전층을 형성한다.
- <20> 상기 저장전극 영역을 매립하는 감광막을 전체표면상부에 형성하고 상기 저장전극용 산화막이 노출되도록 평탄화 식각한다.
- <21> 상기 감광막을 현상하여 제거함으로써 상기 저장전극 영역의 표면에만 상기 저장전극용 도전층을 남기고, 상기 저장전극용 산화막을 제거함으로써 콘케이브형 저장전극을 형성한다. 이때, 상기 저장전극용 산화막의 제거 공정은 BOE 용액을 이용하여 실시하는데 상기 식각장벽층인 질화막이 손상된다.
- <22> 상기 저장전극 표면에 유전체막을 형성하고 이를 어닐링 한다. 이때, 상기 어닐링 공정은 700 °C 이상의 산소분위기에서 실시하여 상기 손상된 식각장벽층에 크랙이 유발되고 상기 식각장벽층이 저장전극의 지지대 역할을 하지 못하게 되어 상기 저장전극이 주변의 저장전극과 브릿지 되는 현상이 유발된다. 또한, 상기 크랙을 통하여 상기 산소가 상기 식각장벽층 하부로 침투함으로써 하부의 비트라인이 산화될 수 있다.
- <23> 후속공정으로 플레이트전극을 형성하여 캐패시터를 형성한다.



- <24> 도 1a 는 식각장벽층에 크랙이 유발되어 상기 식각장벽층 하부의 비트라인이 산화되는 경우를 도시한 단면 사진이고, 도 1b 는 상기 도 1a를 평면상에서 간략화하여 도시한 것이다.
- <25> 도 2 는 상기 식각장벽층의 크랙으로 저장전극의 지지대 역할을 하지 못함으로 인해 유발되는 브릿지 현상을 도시하는 평면 사진이다.
- <26> 상기한 바와 같이 종래기술에 따른 반도체소자의 캐패시터 형성방법은, 식각장벽층으로 사용되는 질화막이 저장전극용 산화막을 제거하는 공정시 손상되어 저장전극의 지지대 역할을 하지 못함으로써 이웃하는 저장전극과 브릿지를 유발하는 문제점이 있다.
- <27> 또한, 후속 공정인 유전체막 형성 공정시 수반되는 어닐링 공정중 상기 식각장벽층에 크랙이 유발되고 이를 통하여 하부구조로 산소가 확산되어 하부구조로 구비되는 도전층을 산화시키는 문제점이 유발된다.
- <28> 따라서, 반도체소자의 특성 및 신뢰성을 저하시키고 그에 따른 반도체소자의 고집적화를 어렵게 하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <29> 본 발명은 상기한 바와 같은 종래기술의 문제점을 해소시키기 위하여,
- <30> 저장전극용 콘택 플러그가 구비되는 층간절연막 상에 식각장벽층을 질화막과 탄탈륨산화막 ( Ta<sub>2</sub>O<sub>5</sub> ) 의 적층구조로 형성하여 상기 질화막의 손상을 방지함으로써 반도체소자의 고집적화에 충분한 정전용량을 확보할 수 있는 반도체소자의 캐패시터 형성방법을 제공하는데 그 목적이 있다.

## 【발명의 구성 및 작용】

- <31>       상기 목적 달성을 위해 본 발명에 따른 반도체소자의 캐패시터 형성방법은,
- <32>       저장전극 콘택플러그가 구비되는 층간절연막 상에 질화막과 탄탈륨산화막 적층구조의 식각장벽층을 형성하는 공정과,
- <33>       전체표면상부에 저장전극용 산화막을 형성하는 공정과,
- <34>       저장전극으로 예정된 부분의 상기 저장전극용 산화막을 식각하여 상기 저장전극 콘택플러그를 저부에 노출시키고 저장전극용 산화막을 측벽으로 하는 저장전극 영역을 정의하는 공정과,
- <35>       상기 저장전극 콘택플러그에 접속되는 저장전극을 상기 저장전극 영역 표면에 형성하고 상기 저장전극용 산화막을 제거하는 공정을 포함하는 것과,
- <36>       상기 질화막은 LPCVD 또는 PECVD 방법을 이용하여 형성하되,
- <37>       상기 LPCVD 방법은 DCS 와  $\text{NH}_3$  를 사용하여 600 ~ 800 °C 온도의 퍼니스에서 증착하고,
- <38>       상기 LPCVD 방법은  $\text{SiH}_4$  및  $\text{Si}_2\text{H}_6$  중의 1 이상의 가스와  $\text{NH}_3$  가스를 사용하는 550 ~ 800 °C 온도의 싱글 챔버에서 증착하며,
- <39>       상기 PECVD 방법은  $\text{SiH}_4$  및  $\text{Si}_2\text{H}_6$  중의 1 이상과,  $\text{NH}_3$  및  $\text{N}_2$  중의 1 이상을 주입한 분위기의 600 °C 이하의 온도에서 플라즈마를 여기시켜 실시하는 것과,
- <40>       상기 탄탈륨산화막은  $\text{Ta}(\text{OC}_2\text{H}_5)_5$  을 유량조절기를 통해 증발기 또는 증발관으로 공급하고 이를 120 ~ 200 °C 온도에서 증발시켜 Ta 성분의 화학증기를 형성한 다음,

상기 Ta 성분의 화학증기와 반응가스인 과잉 산소가스를 각각 10 ~ 1000 sccm 유량만큼 LPCVD 챔버에 공급하고 300 ~ 600 °C 온도에서 표면 반응시켜 형성하는 것과,

<41> 상기 탄탈륨산화막은  $Ta(OC_2H_5)_5$  소오스 만을 플로우시켜 LPCVD 챔버에서 형성하는 것과,

<42> 상기 식각장벽층은 탄탈륨산화막 챔버와 질화막 챔버를 멀티 챔버로 구성하여 인-시튜 공정으로 형성하는 것과,

<43> 상기 식각장벽층은 PECVD 또는 LPCVD 방법을 사용하는 것과,

<44> 상기 식각장벽층은 탄탈륨산화막 증착 챔버 내에  $SiH_4$  및  $Si_2H_6$  중의 1 이상의 가스와  $NH_3$  가스 라인을 추가하여 PECVD 방법으로 질화막을 증착하고, 퍼지 ( purge ) 후 탄탈륨산화막을 증착하는 것을 제1특징으로 한다.

<45> 또한, 이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 캐패시터 형성방법은,

<46> 저장전극 콘택플러그가 구비되는 층간절연막 상에 질화막과  $TaON$  막의 적층구조로 식각장벽층을 형성하는 공정과,

<47> 전체표면상부에 저장전극용 산화막을 형성하는 공정과,

<48> 저장전극으로 예정된 부분의 상기 저장전극용 산화막을 식각하여 상기 저장전극 콘택플러그를 저부에 노출시키고 저장전극용 산화막을 측벽으로 하는 저장전극 영역을 정의하는 공정과,

<49> 상기 저장전극 콘택플러그에 접속되는 저장전극을 상기 저장전극 영역 표면에 형성하고 상기 저장전극용 산화막을 제거하는 공정을 포함하는 것과,

- <50>       상기 TaON 막은 Ta 소오스와 NH<sub>3</sub> 소오스 가스를 이용하여 형성하는 것을 제2특징으로 한다.
- <51>       한편, 본 발명의 원리는 다음과 같다.
- <52>       저장전극 콘택플러그가 구비되는 층간절연막 상에 식각장벽층을 형성하되, 질화막과 탄탈륨산화막의 적층구조로 형성하여 후속공정으로 형성되는 저장전극용 산화막의 제거 공정시 상기 질화막의 손상을 방지하여 상기 질화막을 포함한 식각장벽층이 저장전극의 지지대 역할을 할 수 있도록 하고, 후속 공정인 유전체막의 형성공정시 수반되는 어닐링 공정 중 상기 식각장벽층을 통한 하부로의 산소 확산을 방지할 수 있도록 함으로써 소자의 특성 열화를 방지하여 반도체소자의 고집적화에 가능하게 하는 것이다.
- <53>       이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.
- <54>       도 3a 내지 도 3c 는 본 발명의 실시예에 따른 반도체소자의 캐패시터 형성방법을 도시한 단면도이다.
- <55>       도 3a 를 참조하면, 소자분리막, 불순물 접합영역, 워드라인 및 비트라인이 형성된 반도체기판(11) 상에 저장전극용 콘택플러그(13)가 구비되는 층간절연막(14)을 형성한다.
- <56>       전체표면상부에 질화막(15)과 탄탈륨산화막(17)의 적층구조로 식각장벽층을 형성한다.
- <57>       이때, 상기 질화막(15)은 LPCVD 또는 PECVD 방법을 이용하여 형성한다.

- <58>      상기 LPCVD 방법은 DCS 와 NH<sub>3</sub>를 사용하여 600 ~ 800 °C 온도의 퍼니스에서 증착하거나, SiH<sub>4</sub> ( 또는 Si<sub>2</sub>H<sub>6</sub> ) 와 NH<sub>3</sub> 가스를 사용하는 550 ~ 800 °C 온도의 싱글 챔버에서 증착하는 것이다.
- <59>      상기 PECVD 방법은 SiH<sub>4</sub> ( 또는 Si<sub>2</sub>H<sub>6</sub> ) 와 NH<sub>3</sub> ( 또는 N<sub>2</sub> ) 가스를 사용하는 600 °C 이하의 온도에서 플라즈마를 여기시켜 실시하는 것이다.
- <60>      상기 탄탈륨산화막(17)은 비정질 상태로 다음과 같은 방법으로 형성한다.
- <61>      먼저, Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub> 등의 화합물을 LMFC ( liquid mass flow controller ) 와 같은 유량조절기를 통해 정량된 양을 증발기 또는 증발관으로 공급한 다음 일정량을 120 ~ 200 °C 온도에서 증발시켜 Ta 성분의 화학증기를 형성한다. 이때, 상기 Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>의 증발온도가 110 °C 이상이므로 그 이상의 온도에서 실시하여 안정성을 확보할 수 있다.
- <62>      상기 Ta 성분 화학증기와 반응가스인 과잉 산소가스를 각각 10 ~ 1000 sccm 유량으로 정량화하여 LPCVD 챔버에 공급하고 300 ~ 600 °C 온도에서 표면 반응시켜 비정질 상태의 탄탈륨산화막(17)을 형성한다.
- <63>      여기서, 상기 탄탈륨산화막(17)은 Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub> 소오스 만을 플로우시켜 형성할 수도 있으며 Ta 소오스와 NH<sub>3</sub> 소오스 가스를 이용하여 TaON 을 사용할 수도 있다.
- <64>      또한, 상기 질화막(15)과 탄탈륨산화막(17)을 다음과 같은 하나의 시스템에서 형성할 수도 있다.
- <65>      첫째, 하나의 시스템에서 탄탈륨산화막 챔버와 질화막 챔버를 멀티 챔버로 구성하여 인-시투로 형성한다. 이때, PECVD 또는 LPCVD 방법을 사용한다.



- <66> 둘째, 동일 챔버 내에서 질화막과 질화막(15)과 탄탈륨산화막(17)을 형성한다.
- <67> 먼저, 탄탈륨산화막 증착 챔버 내에  $\text{SiH}_4$  ( 또는  $\text{Si}_2\text{H}_6$  ) 와  $\text{NH}_3$  라인을 추가하여 PECVD 방법으로 질화막(15)을 증착하고, 퍼지 ( purge ) 후 탄탈륨산화막(17)을 증착한다. 이때, 상기 질화막(15)을 PECVD 방법만으로 형성하여 저온인 탄탈륨산화막 증착 챔버에서 실시할 수 있는 것이다.
- <68> 참고로, 탄탈륨산화막 증착 챔버는 플라즈마를 여기할 수 있으며, 저온을 유지하고 있어 LPCVD 방법은 박막이 거의 증착되지 않는다.
- <69> 도 3b 및 도 3c 를 참조하면, 상기 탄탈륨산화막 상부에 저장전극용 산화막(19)을 15000 Å 이상의 두께로 형성한다. 이때, 상기 산화막(19)은 BPSG, PSG 또는 TEOS 과 같이 불순물이 함유된 산화막으로 형성한다.
- <70> 상기 저장전극 마스크를 이용한 사진식각공정으로 저장전극으로 예정된 영역의 상기 저장전극용 산화막(19)을 제거하여 상기 저장전극 콘택플러그(13)가 저부에 노출되는 저장전극 영역(21)을 정의한다.
- <71> 상기 저장전극 콘택플러그(13)에 접속되도록 상기 저장전극 영역(21)을 포함한 전체표면상부에 저장전극용 도전층을 형성한다.
- <72> 상기 저장전극 영역을 매립하는 감광막을 전체표면상부에 형성하고 상기 저장전극용 산화막(19)이 노출되도록 평탄화 식각한다.
- <73> 상기 감광막을 현상하여 제거함으로써 상기 저장전극 영역(21)의 표면에만 상기 저장전극용 도전층을 남기고, 상기 저장전극용 산화막(19)을 제거함으로써 콘케이브형 저

장전극(23)을 형성한다. 이때, 상기 저장전극용 산화막의 제거 공정은 BOE 용액을 이용하여 실시한다.

<74>       상기 저장전극 표면에 유전체막을 형성하고 이를 어닐링 한다. 이때, 상기 어닐링 공정은 700 °C 이상의 산소분위기에서 실시한다.

<75>       후속공정으로 플레이트전극을 형성하여 캐패시터를 형성한다.

<76>       도 4 는 열처리 공정 온도에 따른 탄탈륨산화막의 스트레스 ( stress )를 도시한 그래프도이다.

#### 【발명의 효과】

<77>       이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 캐패시터 형성방법은; 식각장벽층으로 질화막과 탄탈륨산화막의 적층구조를 형성하여 저장전극용 산화막의 제거 공정시 질화막의 손상을 방지하고 저장전극의 쓰러짐을 방지하여 반도체소자의 고집적화에 충분한 정전용량을 확보할 수 있는 캐패시터를 형성함으로써 반도체소자의 고집적화를 가능하게 하는 효과를 제공한다.

**【특허청구범위】****【청구항 1】**

저장전극 콘택플러그가 구비되는 층간절연막 상에 질화막과 탄탈륨산화막 적층구조의 식각장벽층을 형성하는 공정과,

전체표면상부에 저장전극용 산화막을 형성하는 공정과,

저장전극으로 예정된 부분의 상기 저장전극용 산화막을 식각하여 상기 저장전극 콘택플러그를 저부에 노출시키고 저장전극용 산화막을 측벽으로 하는 저장전극 영역을 정의하는 공정과,

상기 저장전극 콘택플러그에 접속되는 저장전극을 상기 저장전극 영역 표면에 형성하고 상기 저장전극용 산화막을 제거하는 공정을 포함하는 반도체소자의 캐패시터 형성방법.

**【청구항 2】**

제 1 항에 있어서,

상기 질화막은 LPCVD 또는 PECVD 방법을 이용하여 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

**【청구항 3】**

제 2 항에 있어서,

상기 LPCVD 방법은 DCS 와 NH<sub>3</sub> 를 사용하여 600 ~ 800 ℃ 온도의 퍼니스에서 증착하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.



## 【청구항 4】

제 2 항에 있어서,

상기 LPCVD 방법은  $\text{SiH}_4$  및  $\text{Si}_2\text{H}_6$  중의 1 이상의 가스와  $\text{NH}_3$  가스를 사용하는 550 ~ 800 °C 온도의 싱글 챔버에서 증착하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

## 【청구항 5】

제 2 항에 있어서,

상기 PECVD 방법은  $\text{SiH}_4$  및  $\text{Si}_2\text{H}_6$  중의 1 이상과,  $\text{NH}_3$  및  $\text{N}_2$  중의 1 이상을 주입한 분위기의 600 °C 이하의 온도에서 플라즈마를 여기시켜 실시하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

## 【청구항 6】

제 1 항에 있어서,

상기 탄탈륨산화막은  $\text{Ta}(\text{OC}_2\text{H}_5)_5$  을 유량조절기를 통해 증발기 또는 증발판으로 공급하고 이를 120 ~ 200 °C 온도에서 증발시켜 Ta 성분의 화학증기를 형성한 다음, 상기 Ta 성분의 화학증기와 반응가스인 과잉 산소가스를 각각 10 ~ 1000 sccm 유량만큼 LPCVD 챔버에 공급하고 300 ~ 600 °C 온도에서 표면 반응시켜 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

## 【청구항 7】

제 1 항에 있어서,

상기 탄탈륨산화막은  $Ta(OC_2H_5)_5$  소오스 만을 플로우시켜 LPCVD 챔버에서 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 8】

제 1 항에 있어서,

상기 식각장벽층은 탄탈륨산화막 챔버와 질화막 챔버를 멀티 챔버로 구성하여 인-시튜 공정으로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 9】

제 8 항에 있어서,

상기 식각장벽층은 PECVD 또는 LPCVD 방법을 사용하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 10】

제 1 항에 있어서,

상기 식각장벽층은 탄탈륨산화막 증착 챔버 내에  $SiH_4$  및  $Si_2H_6$  중의 1 이상의 가스와  $NH_3$  가스 라인을 추가하여 PECVD 방법으로 질화막을 증착하고, 퍼지 ( purge ) 후 탄탈륨산화막을 증착하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 11】

저장전극 콘택플러그가 구비되는 중간절연막 상에 질화막과  $TaON$  막의 적층구조로 식각장벽층을 형성하는 공정과,

전체표면상부에 저장전극용 산화막을 형성하는 공정과,

저장전극으로 예정된 부분의 상기 저장전극용 산화막을 식각하여 상기 저장전극 콘택플러그를 저부에 노출시키고 저장전극용 산화막을 측벽으로 하는 저장전극 영역을 정의하는 공정과,

상기 저장전극 콘택플러그에 접속되는 저장전극을 상기 저장전극 영역 표면에 형성하고 상기 저장전극용 산화막을 제거하는 공정을 포함하는 반도체소자의 캐패시터 형성 방법.

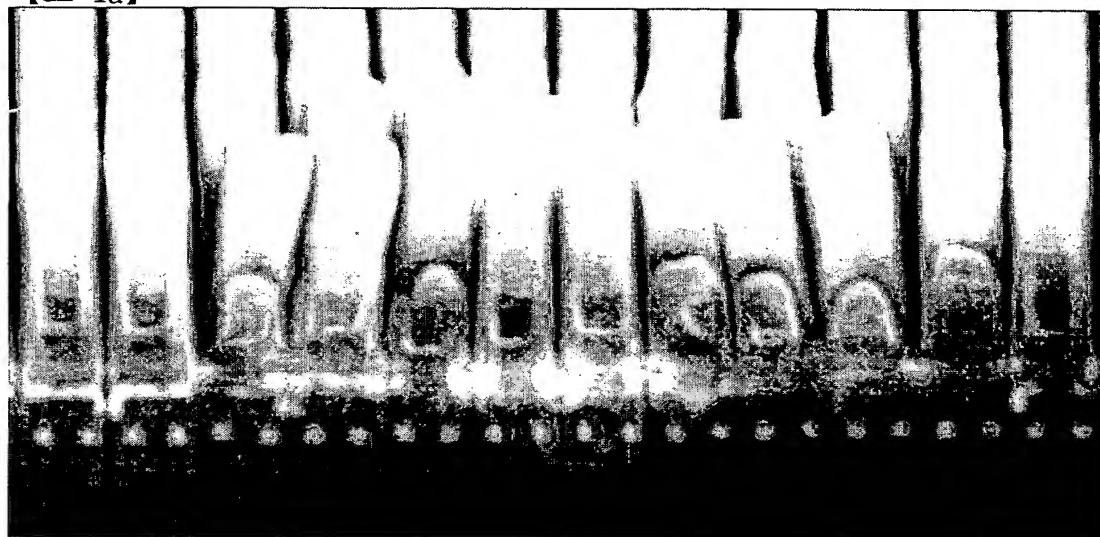
【청구항 12】

제 11 항에 있어서,

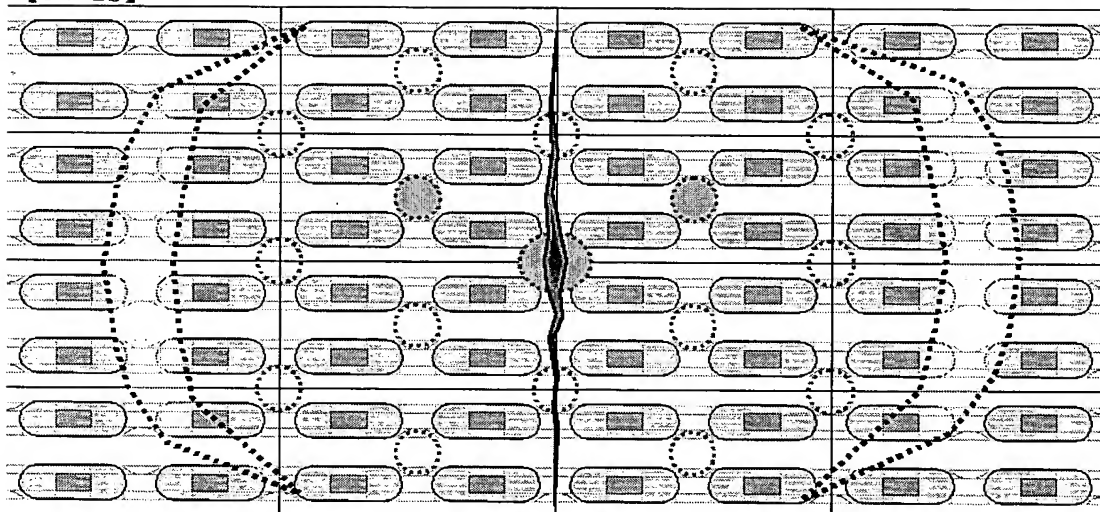
상기 TaON 막은 Ta 소오스와 NH<sub>3</sub> 소오스 가스를 이용하여 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【도면】

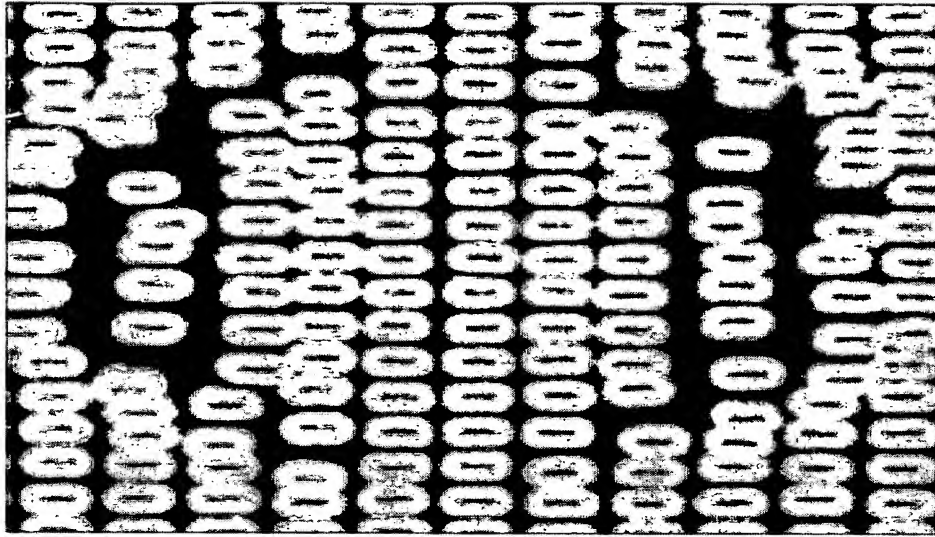
【도 1a】



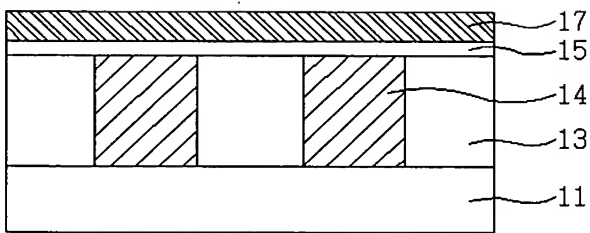
【도 1b】



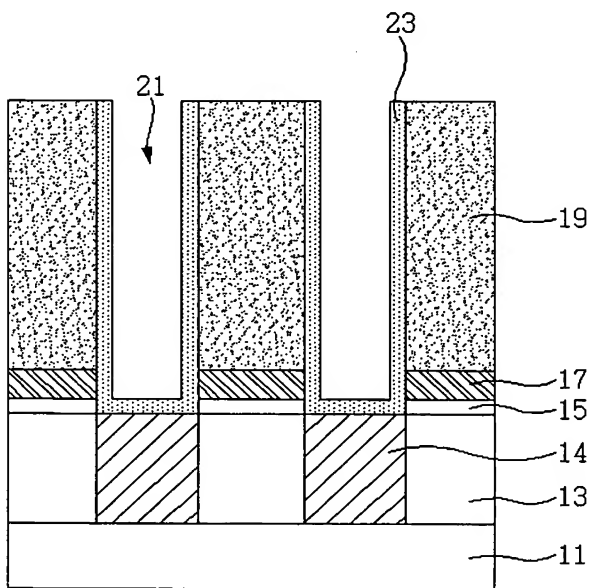
【도 2】



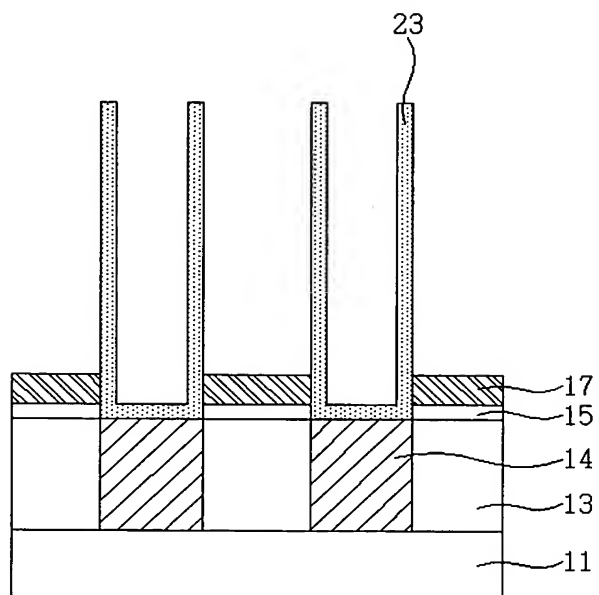
【도 3a】



【도 3b】



【도 3c】



【도 4】

